

Stratix III — новое семейство FPGA фирмы Altera

Роман ЗОЛУТУХА
roman@efo.ru
Дмитрий КОМОЛОВ
dima@efo.ru

Проекты, в которых используются микросхемы программируемой логики, становятся все более сложными. С одной стороны, это требует от разработчиков повышения квалификации и может приводить к затягиванию работ. С другой стороны, современные условия рынка предполагают сокращение времени разработки и себестоимости разрабатываемых устройств. Для преодоления этого противоречия фирмы-производители ПЛИС предлагают как усовершенствованные средства разработки, так и новые семейства микросхем программируемой логики. Одним из новейших высокопроизводительных семейств FPGA, анонсированных фирмой Altera, является Stratix III.

Новое семейство FPGA — Stratix III — сочетает высокую производительность, большой логический объем и малое энергопотребление.

Главная особенность Stratix III — сниженное до двух раз энергопотребление (как динамическое, так и статическое) по сравнению с семействами FPGA предыдущего поколения, без потери производительности. Этого удалось достигнуть за счет реализации технологии программируемого энергопотребления (Programmable Power Technology), которая позволяет конфигурировать ресурсы ПЛИС (логические блоки, блоки цифровой обработки, блоки памяти) либо в режим с высокой производительностью, либо в режим с пониженным энергопотреблением. Предлагаемые фирмой Altera средства разработок предоставляют возможность анализировать проект и определять, какая производительность необходима тому или иному блоку. Блоки, не требующие высокой производительности (в том числе и неиспользуемые в проекте), устанавливаются в режим пониженного энергопотребления. Блоки, функционирующие

которых критично ко времени, устанавливаются в высокоскоростной режим. Таким образом, технология программируемого энергопотребления позволяет совместить в одном проекте два до сих пор не совместимых требования. Возможность устанавливать блоки ПЛИС либо в высокоскоростной режим, либо в режим с низким энергопотреблением, — новое слово в мире программируемой логики (рис. 1).

Другая особенность семейства Stratix III, способная снизить энергопотребление, — возможность выбора напряжения питания ядра (VCCint). Для проектов, где определяющим фактором является высокая производительность, используется напряжение питания ядра 1,1 В. Для проектов, требующих пониженного энергопотребления, — 0,9 В.

Микросхемы Stratix III будут выпускаться по 65-нанометровой технологии. Внутренние тактовые частоты Stratix III могут достигать 600 МГц. Максимальная производительность FPGA Stratix III на 25% выше, чем у семейств ПЛИС предыдущего поколения.

Семейство Stratix III разделено на три подсемейства, каждое из них оптимизировано для определенных приложений:

- **Stratix III L** — для решения задач, где требуется большая логическая емкость;
- **Stratix III E** — для решения задач цифровой обработки сигналов и задач, требующих применения больших объемов памяти;
- **Stratix III GX** — для решения задач высокоскоростных коммуникаций (микросхемы данного подсемейства будут содержать мультигигабитные трансиверы).

Выпуск первых инженерных образцов FPGA семейства Stratix III планируется в III квартале 2007 года. Подробная информация по семейству Stratix III (в том числе и предварительное техническое описание) доступна на сайте Altera www.altera.com/stratix3.

Архитектура FPGA Stratix III

В основе архитектуры FPGA Stratix III лежат принципы, прекрасно зарекомендовавшие себя в микросхемах предыдущего поколения Stratix II.

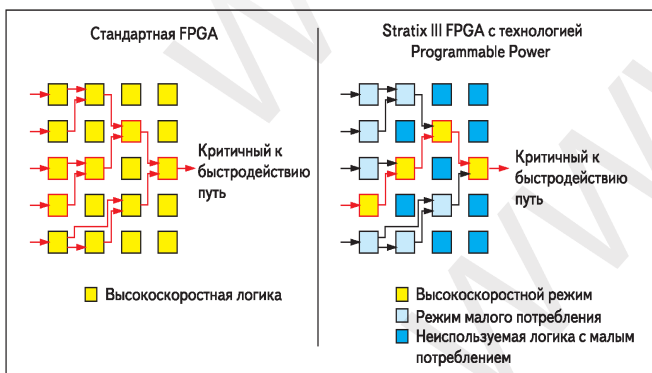


Рис. 1. Использование различных режимов блоков Stratix III по сравнению с FPGA предыдущего поколения

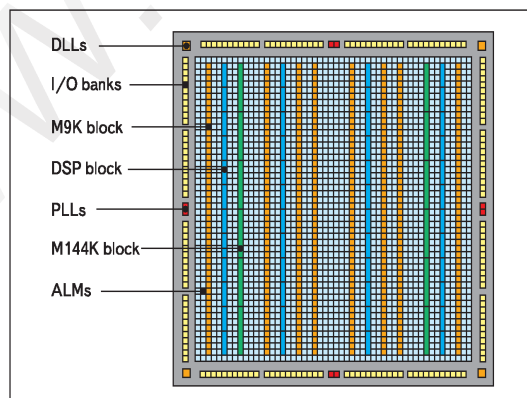


Рис. 2. Структура FPGA Stratix III